

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-328948

(43)Date of publication of application : 30.11.1999

(51)Int.Cl. G11C 11/401
G11C 11/41

(21)Application number : 10-133684

(71)Applicant : NEC CORP

(22)Date of filing : 15.05.1998

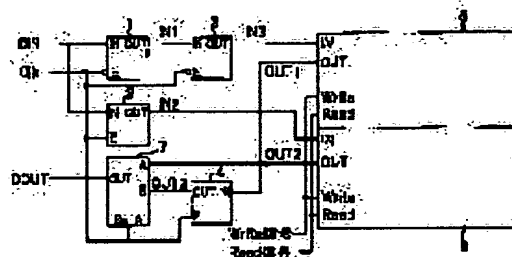
(72)Inventor : ISHIKAWA TORU

(54) SEMICONDUCTOR MEMORY HAVING SERIAL-PARALLEL CONVERTING FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the semiconductor memory having a higher speed serial-parallel converting function by shortening the periods of data input output.

SOLUTION: Data inputted serially are converted into parallel data and written into memory arrays 5 and 6. Then, the data are read from the memory arrays 5 and 6 in parallel and outputted in serial. The device is provided with the memory array 6, to which data inputting and outputting are performed at a high speed, and the memory array 5 to which data inputting and outputting are conducted in a normal speed. The memory array 6 stores the data inputted at the last and the data outputted at the first.



【特許請求の範囲】

【請求項 1】複数のメモリアレイからパラレルにデータを読み出して、シリアルに出力するシリアルーパラレル変換機能付き半導体記憶装置において、最初に出力するデータを記憶する第 1 のメモリアレイと、前記最初に出力するデータより後に出力されるデータを記憶する第 2 のメモリアレイとを備え、前記第 1 のメモリアレイは、前記第 2 のメモリアレイよりも前記データを読み出す速度が高速であることを特徴とするシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 2】シリアルに入力されたデータをパラレルに変換して複数のメモリアレイに書き込むシリアルーパラレル変換機能付き半導体記憶装置において、最後に入力したデータを記憶する第 1 のメモリアレイと、前記最後に入力したデータより先に入力したデータを記憶する第 2 のメモリアレイとを備え、前記第 1 のメモリアレイは、前記第 2 のメモリアレイよりも前記データを書き込む速度が高速であることを特徴とするシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 3】シリアルに入力されたデータをパラレルに変換して複数のメモリアレイに書き込み、前記複数のメモリアレイからパラレルに前記データを読み出してシリアルに出力するシリアルーパラレル変換機能付き半導体記憶装置において、前記データの入出力が高速な第 1 のメモリアレイと、前記データの入出力が前記第 1 のメモリアレイより低速な第 2 のメモリアレイとを備え、前記第 1 のメモリアレイは、最後に入力されるデータ及び最初に出力されるデータを記憶することを特徴とするシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 4】前記第 1 のメモリアレイは、クロック信号の「1」によって活性化される入力回路を介してシリアルデータ入力ラインに接続された書き込みポートと、クロック信号の「1」によって活性化される出力回路を介してシリアルデータ出力ラインに接続された読出しポートを有する構成の請求項 3 記載のシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 5】前記第 2 のメモリアレイは、クロック信号の「0」によって活性化されることによりシリアルデータ入力ラインからデータを入力する入力回路、及びクロック信号の「0」によって活性化されることにより前記入力回路から出力されるデータをラッチするラッチ回路を介して前記シリアルデータ入力ラインに接続された書き込みポートと、クロック信号の「1」の読出しデータをラッチするラッチ回路、及びクロック信号の「0」によって前記ラッチ回路にラッチされた前記読出しデータを出力する出力回路を介してシリアル出力ラインに接続さ

れた読出しポートを有する構成の請求項 3 記載のシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 6】前記第 1 のメモリアレイの書き込み用セットアップ時間と、前記入力回路の動作遅延時間の和が、前記クロック信号の周期の約 1 / 2 である構成の請求項 4 記載のシリアルーパラレル変換機能付き半導体記憶装置。

【請求項 7】前記第 1 のメモリアレイの読出し遅延時間と、前記出力回路のセットアップ時間の和が、前記クロック信号の周期の約 1 / 2 である構成の請求項 5 記載のシリアルーパラレル変換機能付き半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、内部メモリからデータをパラレルに読み出してシリアルに出力し、データをシリアルに入力してパラレルに内部メモリに書き込むシリアルーパラレル変換機能付き半導体記憶装置に関し、特に、内部メモリへの書き込み速度及び内部メモリからの読出し速度を改善したシリアルーパラレル変換機能付き半導体記憶装置に関する。

【0002】

【従来の技術】近年、コンピュータなどにおいて、半導体記憶装置を使用したメモリ部の高速化にともなって、内部メモリから多くのデータを一度に読み込んでそのデータをシリアルに出力し、また逆にデータをシリアルに入力してパラレルに内部メモリに書き込むようなシリアルーパラレル機能を含む半導体記憶装置が増えている。

【0003】上述のような半導体記憶装置において、たとえば、ラムバス（RAM BUS）DRAM の場合は、1 × 8 でシリアルーパラレルの変換をしており、DDR（Double Data Rate）などの DRAM では、1 × 2 のシリアルーパラレル変換をしている。

【0004】

【発明が解決しようとする課題】しかしながら、従来のシリアルーパラレル変換機能付き半導体記憶装置によれば、パラレルデータとして内部メモリに記憶されているデータのうち最初にシリアルデータとして出力するデータを内部メモリから読み出すときに一番アクセス的に厳しくなり、また、入力したシリアルデータをパラレルデータに変換して内部メモリに書き込む場合、最後のシリアルに書き込むデータが一番アクセス的に厳しくなるため、それに合わせてデータを入出力するクロックの周期を長くする必要があった。

【0005】従って、本発明の目的は、データを入出力するクロックの周期を短くして、書き込み速度及び読出し速度を高速にしたシリアルーパラレル変換機能付き半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】本発明は、以上に述べた目的を実現するため、複数のメモリアレイからパラレル

にデータを読み出して、シリアルに出力するシリアルーパラレル変換機能付き半導体記憶装置において、最初に出力するデータを記憶する第1のメモリアレイと、最初に出力するデータより後に出力されるデータを記憶する第2のメモリアレイとを備え、第1のメモリアレイは、第2のメモリアレイよりもデータを読み出す速度が高速であることを特徴とするシリアルーパラレル変換機能付き半導体記憶装置を提供する。

【0007】また、上記目的を実現するため、シリアルに入力されたデータをパラレルに変換して複数のメモリアレイに書き込むシリアルーパラレル変換機能付き半導体記憶装置において、最後に入力したデータを記憶する第1のメモリアレイと、最後に入力したデータより先に入力したデータを記憶する第2のメモリアレイとを備え、第1のメモリアレイは、第2のメモリアレイよりもデータを書き込む速度が高速であることを特徴とするシリアルーパラレル変換機能付き半導体記憶装置を提供する。

【0008】更に、上記目的を実現するため、シリアルに入力されたデータをパラレルに変換して複数のメモリアレイに書き込み、複数のメモリアレイからパラレルにデータを読み出してシリアルに出力するシリアルーパラレル変換機能付き半導体記憶装置において、データの入出力が高速な第1のメモリアレイと、データの入出力が第1のメモリアレイより低速な第2のメモリアレイとを備え、第1のメモリアレイは、最後に入力されるデータ及び最初に出力されるデータを記憶することを特徴とするシリアルーパラレル変換機能付き半導体記憶装置を提供する。

【0009】

【発明の実施の形態】以下本発明のシリアルーパラレル変換機能付き半導体記憶装置を詳細に説明する。

【0010】図1は、本発明のシリアルーパラレル変換機能付き半導体記憶装置を示す。この半導体記憶装置は、「0」のクロック信号によって活性化される入力回路1と、「1」のクロック信号によって活性化される入力回路2と、「0」のクロック信号によって活性化されるラッチ回路3と、「1」のクロック信号によって活性化されるラッチ回路4と、「1」のクロック信号によって入力Aのデータを選択して出力し、「0」のクロック信号によって入力Bのデータを選択して出力するセクタ回路7と、書き込みポートINをラッチ回路3の出力OUTに接続され、読出しポートOUTをラッチ回路4の入力INに接続された通常の書き込み速度および読出し速度のメモリアレイ5と、書き込みポートINを入力回路2の出力OUTに接続され、読出しポートOUTをセクタ回路7の入力Aに接続された高速の書き込み速度および読出し速度のメモリアレイ6を有する。ここで、IN1、IN2、およびIN3は書き込み用のデータバスであり、OUT1、OUT2、およびOUT3は読出し用の

データバスであり、DINはシリアルデータの入力ラインであり、DOU Tはシリアルデータの出力ラインであり、C l kはクロック信号の入力ラインである。

【0011】図2は、本発明のシリアルーパラレル変換機能付き半導体記憶装置におけるデータ入出力のタイミングチャートを示す。以下、図1及び図2を参照して、本発明のシリアルーパラレル変換機能付き半導体記憶装置の動作を説明する。

【0012】図1に示したシリアルーパラレル変換機能付き半導体記憶装置は、1対2（1×2）にシリアルーパラレル変換する機能を有している。ここで、まずデータWD0、WD1、WD2、及びWD3のメモリアレイ5、6へのライト（書き込み）の場合について説明する。入力ラインD I Nから、ライトデータがWD0、WD1、WD2、WD3の順に入力され、WD0とWD1及びWD2とWD3がそれぞれパラレルに変換されてメモリアレイ5、6に書き込まれる。データのシリアル入力単位として最後に書き込まれるWD1及びWD3は、入力回路2を介して高速のメモリアレイ6に書き込まれる。データのシリアル入力単位として最初に書き込まれるWD0及びWD2は、入力回路1及びラッチ回路3を介して通常の速度のメモリアレイ5に書き込まれる。

【0013】次に、データRD0、RD1、RD2、及びRD3のリード（読出し）の場合、高速のメモリアレイ6から出力されるデータ（RD1、RD3）は、セクタ回路7のA側に入力される。また、通常の速度のメモリアレイ5から出力されるデータ（RD0、RD2）は、ラッチ回路4を介してセクタ回路7のB側に入力される。C l kラインから入力されるクロック信号に同期し、クロック信号が「1」のとき、入力Aのデータが、クロック信号が「0」のとき、入力Bのデータが選択されて、セクタ回路7の出力ラインDOU Tからシリアルに出力される。

【0014】入力回路1、2はクロック同期式であり、クロック信号に対して t_1 の遅延をもつ。WD0のデータは、クロック信号の立ち上がりから t_1 後に入力回路1からラッチ回路3に出力され、クロック信号の「0」においてラッチ回路3にラッチされる。WD1のデータは、クロック立ち上がりから t_1 後に高速のメモリアレイ6に出力される。

【0015】クロック信号に逆相で同期するライト（書き込み）信号は「0」でアクティブである。従って、ラッチ回路3にラッチされた入力ラインIN3上のデータWD0はライト信号に対して十分なセットアップ時間がある。それに対して、入力回路2から出力される入力ラインIN2上のデータWD1のセットアップ時間 t_{sw} は、ライト信号の周期の $1/2$ の時間から遅延時間 t_1 を引いた値となる。

【0016】一方、リード（読出し）信号はクロック信号に同相で同期する。通常の速度のメモリアレイ5から

遅延時間 t_{rd} を有して $RD0$ が出力され、高速のメモリアレイ 6 から遅延時間 t_{rd}' を有して $RD1$ が出力される。 $RD0$ は、クロック信号の立ち上がりから遅延時間 t_2 を有してラッチ回路 4 にラッチされ、次のクロック信号の立ち下がり でセクタ回路 7 の入力 B が選択されて出力ライン $DOUT$ に出力される。これより先に、出力ライン $OUT2$ 上のデータ ($RD1$) は、クロック信号の立ち上がりによってセクタ回路 7 の入力 A が選択されることにより、出力ライン $DOUT$ に出力されている。

【0017】この例では、高速のメモリアレイ 6 はリード及びライトともに高速のメモリアレイとしているため、 $WD0$ 、 $WD1$ の順で書き込んだデータは、 $RD1$ 、 $RD0$ と逆の順で出力されている。

【0018】以上、データ $WD0$ 及び $WD1$ の書込み、及び $RD0$ 、 $RD1$ の読出しについて説明したが、データ $WD2$ 及び $WD3$ の書込み、及び $RD2$ 及び $RD3$ の読出しも同様に出力される。

【0019】以上、本発明のシリアルーパラレル変換機能付き半導体記憶装置の動作を説明したが、以下に、本発明のシリアルーパラレル変換機能付き半導体記憶装置における、メモリのクロック周期について説明する。

【0020】前述したように、入力回路 1、2 のクロック信号からの遅延タイムを t_1 、ラッチ回路 3、4 のセットアップタイムを t_2 、セクタ回路 7 のセットアップタイムを t_3 、メモリアレイ 5 のライトのセットアップタイムを t_{sw} 、メモリアレイ 6 のライトのセットアップタイムを t_{sw}' ($t_{sw}' < t_{sw}$)、メモリアレイ 5 のリードの遅延タイムを t_{rd} 、メモリアレイ 6 のリードの遅延タイムを t_{rd}' ($t_{rd}' < t_{rd}$)、クロック信号の周期を t_{CLK} とする。ここで、メモリアレイ 5 のセットアップ t_{sw} より、ラッチ回路 3、4 のセットアップタイム t_2 の方が小さい ($t_2 < t_{sw}$)。

【0021】以上のような条件において、メモリアレイ 5、6 へのデータのライトの周期のリミットについて従来と比較する。従来のシリアルーパラレル変換機能付き半導体記憶装置におけるメモリアレイのセットアップは、一律 t_{sw} であり、最小のクロック周期は、 $t_{CLK}/2 = t_1 + t_{sw}$ となる。

【0022】これに対して、本発明のシリアルーパラレル変換機能付き半導体記憶装置によると、高速のメモリアレイ 6 のセットアップは、 t_{sw} から t_{sw}' に改善されたため、最小のクロック周期は、 $t_{CLK}/2 = t_1 + t_{sw}'$ に改善されている。

【0023】次に、メモリアレイ 5、6 からのデータのリードの周期のリミットについて従来と比較する。従来のシリアルーパラレル変換機能付き半導体記憶装置では、メモリアレイのリード遅延タイム t_{rd} と、セクタ回路 7 のクロック同期で正しく出力するためのセットアップタイム t_3 とによって、最小クロックが制限されていた。したがって、従来のシリアルーパラレル変換機能付き半導体記憶装置によると、最小クロック周期は、 $t_{CLK}/2 = t_3 + t_{rd}$ となる。

【0024】これに対して、本発明のシリアルーパラレル変換機能付き半導体記憶装置によると、高速のメモリアレイ 6 のリード遅延タイムが t_{rd} から t_{rd}' に改善されたため、最小のクロック周期は、 $t_{CLK}/2 = t_3 + t_{rd}'$ に改善されている。

【0025】以上、本発明の一形態を示したが、 1×2 のシリアルーパラレル変換機能付き半導体記憶装置のみならず、 1×4 、 1×8 のようなシリアルーパラレル変換機能付き半導体記憶装置であってもよい。この場合には、高速のメモリアレイは、それぞれメモリ全体の 4 分の 1、8 分の 1 となり、高速メモリアレイの容量が少なく済む。

【0026】

【発明の効果】以上述べた通り、本発明のシリアルーパラレル変換機能付き半導体記憶装置によれば、他のメモリアレイに比べ、高速にライトできるメモリアレイを設け、最後に入力するシリアルデータにはその高速ライトアレイを割り当て、また、他のメモリアレイに比べ、高速にリードできるメモリアレイを設け、メモリから最初に出力するシリアルデータには高速リードアレイを割り当てることとしたので、データの入出力の周期を短くして、より高速にデータの入出力を行うことができるようになった。

【図面の簡単な説明】

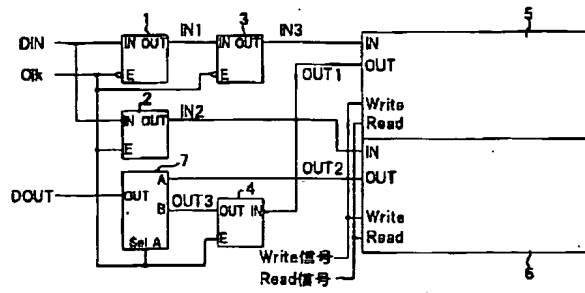
【図 1】本発明によるシリアルーパラレル変換機能付き半導体記憶装置の実施の一形態を示すブロック図である。

【図 2】本発明によるシリアルーパラレル変換機能付き半導体記憶装置におけるデータの書込み及び読出しのタイミングを示すタイミングチャートである。

【符号の説明】

- 1、2 入力回路
- 3、4 ラッチ回路
- 5、6 メモリアレイ
- 7 セクタ回路

【図 1】



【図 2】

